

# 技術研究組合 超先端電子技術開発機構(略称：ASET)の概要

設立年月日：平成8年2月29日

理事長：遠藤 信博（日本電気(株) 代表取締役 執行役員社長）

組合員：日本電気(株)、富士通(株)、(株)東芝、(株)日立製作所、シャープ(株)、ローム(株)、大日本印刷(株)、(株)デンソー、エルピーダメモリ(株)、(株)日立国際電気、イビデン(株)、Intel Corporation、(株)ナックイメージテクノロジー、(株)ニコン、ルネサスエレクトロニクス(株)、サムスン電子(株)、新光電気工業(株)、凸版印刷(株)、(株)ザイキューブ、日本アイ・ビー・エム(株)（20企業）

事業費：24年度14.3億円

事業の概要：立体構造新機能集積回路(ドリームチップ) 技術開発

## ○組合設立の目的

高度情報化社会の実現に向け、中核となる共通基盤的情報技術を早期に確立すべく、組織的・効果的な研究を進めるため、超先端電子技術に関する試験研究を目的に1996年に技術研究組合を設立し、半導体から磁気記録、液晶までの電子デバイスを中心とした幅広い分野にわたって研究開発を行っている。

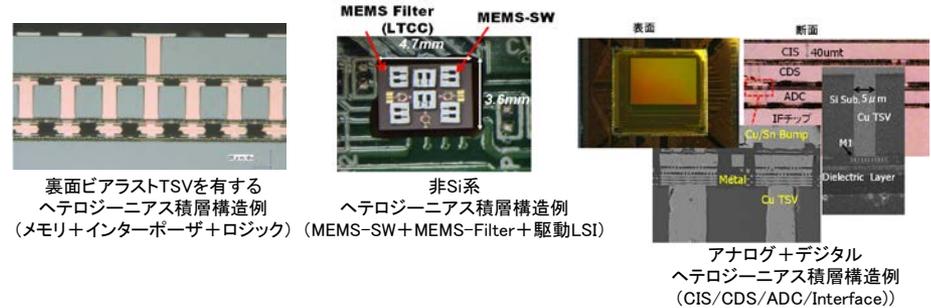
### 【貫通電極を用いた3D-LSIの展開】

## ○実用化のイメージ・メリット

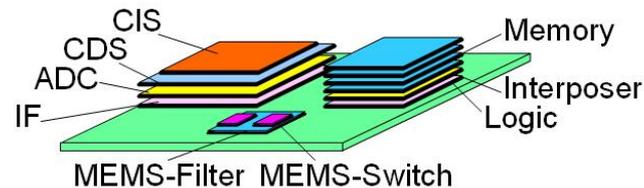
半導体製品の更なる性能向上を図るため、Si貫通ビア(TSV: Through Si Via)を活用した三次元集積化技術の開発により、配線遅延、消費電力問題・高性能化の限界に対する有望な解決策を提供するとともに、新たな多機能デバイスの実用化を促進し、電子・情報技術の競争力を強化する。

## ○事業化の目処の時期

2012年度の組合活動の成果を、参加各企業が持ち帰り、量産技術への展開を図ることにより、2014~2015年度に於いて、事業化がなされる見込みである。



### 多機能高密度集積化技術のイメージ図



- 要素技術として
- ・ウエハ薄化10μm厚
  - ・TSVピッチ10μm
  - ・Via-Last形成技術
  - ・W2W積層
  - ・4k-IO超ワイドバス幅
  - ・デジアナ混載
  - ・ヘテロジェニアス積層
  - ・熱・接合評価技術
  - ・薄化影響評価技術の開発を行う

# 技術研究組合 超先端電子技術開発機構 (ASET)

プロジェクトリーダー  
益 一哉

八王子研究センター

実証デバイス開発

(1) 超ワイドバスSiP  
(メモリ+ロジック)

GL: 内山 士郎

システム・構造設計  
エルピーダメモリ(株)  
イビデン(株)

(2) デジアナ混載  
(車載用画像処理)

GL: 鎌田 忠

システム・構造設計  
(株)デンソー  
新光電気工業(株)  
凸版印刷(株)

(3) ヘテロジニアス  
(RF-MEMS)

GL: 中澤 文彦

システム・構造設計、実装  
富士通(株)

連携

連携

基礎技術・評価技術開発

(4) 熱・積層接合技術の  
研究開発

GL: 山田 文明

接合プロセス  
熱・応力解析  
日本アイ・ビー・エム(株)  
ルネサスエレクトロニクス(株)

(5) 3Dインテグレーション  
技術の研究開発  
(回路・プロセス)

GL: 武田 健一

ウェハプロセス  
(株)日立製作所  
ローム(株)グループ  
ルネサスエレクトロニクス(株)

(6) 薄ウェハ技術の  
研究開発

GL: 島本 晴夫

ウェハ薄化プロセス  
結晶欠陥、金属汚染評価  
ルネサスエレクトロニクス(株)  
ローム(株)グループ

共同研究

集積化基盤技術

- (大学)
- ・京都大学
  - ・東京大学
  - ・東北大学
  - ・東京工業大学
  - ・富山県立大学
  - ・芝浦工業大学
  - ・明星大学
  - ・神戸大学

(研究機関)

- ・産業技術  
総合研究所  
(AIST)